

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-285687
(P2000-285687A)

(43)公開日 平成12年10月13日 (2000.10.13)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テ-マコト ⁸ (参考) |
|---------------------------|------|--------------|-------------------------|
| G 11 C 16/02 | | G 11 C 17/00 | 6 0 1 D 5 B 0 2 4 |
| 11/407 | | 11/34 | 3 5 4 C 5 B 0 2 5 |
| 16/06 | | | 3 6 2 S |
| | | 17/00 | 6 3 4 G |
| | | | 6 3 4 C |

審査請求 有 請求項の数6 O L (全 13 頁)

(21)出願番号 特願平11-83861

(22)出願日 平成11年3月26日 (1999.3.26)

(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 松原 宏行
東京都港区芝五丁目7番1号 日本電気株式会社内

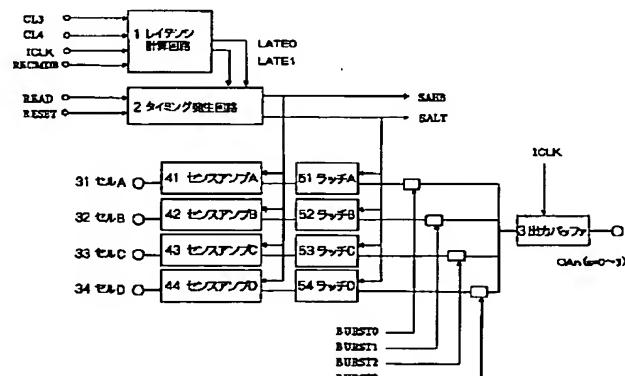
(74)代理人 100088328
弁理士 金田 韶之 (外2名)
F ターム(参考) 5B024 AA04 BA09 BA21 BA29 CA15
CA27
5B025 AD00 AD06 AD15 AE08

(54)【発明の名称】 半導体記憶装置及びその内部回路を活性化する信号のタイミング発生方法

(57)【要約】

【課題】 電源、温度依存や、トランジスタのしきい値電圧依存に関係なくタイミングを適正化できる半導体記憶装置及びその内部回路を活性化する信号のタイミング発生方法を提供する。

【解決手段】 レイテンシ計算回路1とタイミング発生回路2、セルA 31～D 34、センスアンプA 41～D 44、ラッチA 51～D 54、出力バッファ3からなり、レイテンシ計算回路1にはレイテンシを決定する信号C L 3とC L 4、外部クロックから生成される内部クロック信号I C L K、R E A Dコマンド入力時に発生する信号R E C M D Bが入力されており、タイミング発生回路2に信号L A T E 0、L A T E 1が出力される。タイミング発生回路2にはR E A Dコマンド入力時に発生するパルス信号R E A Dとリセット信号R E S E Tが入力されて、センスアンプ活性化信号S A E B、ラッチ取込信号S A L Tが出力される。



【特許請求の範囲】

【請求項1】 同期式マスクROMのセンスアンプ活性化信号やラッチ取込信号を、コマンド入力信号を起点として、設定されたレイテンシのクロック数に応じたサイクル後のクロック信号の立ち上がり、または立ち下がりに同期させてパルス幅を決定し、タイミングを発生させる手段を有する半導体記憶装置。

【請求項2】 前記コマンド入力信号は、READコマンド入力時の外部クロックである請求項1に記載の半導体記憶装置。

【請求項3】 レイテンシ計算回路とタイミング発生回路と複数のセルと複数のセンスアンプと複数のラッチと出力バッファとから構成され、

前記レイテンシ計算回路は、前記レイテンシを決定する複数の信号と、前記外部クロックから生成される内部クロック信号と、前記READコマンド入力時に発生する信号とが入力され、前記タイミング発生回路に複数の信号を出力する手段を有し、

前記タイミング発生回路は、前記READコマンド入力時に発生するパルス信号と、リセット信号とが入力され、前記複数のセンスアンプに前記センスアンプ活性化信号を出力し、前記複数のラッチに前記ラッチ取込信号を出力する手段を有し、

前記複数のラッチは、該ラッチの出力をセレクト信号により選択導通することにより前記出力バッファに入力する手段を有し、

前記出力バッファは、前記ラッチから入力されたデータを、前記外部クロックと同期している前記内部クロック信号と同期して出力する手段を有する請求項2に記載の半導体記憶装置。

【請求項4】 前記外部クロックに対して、READコマンドを入力すると、パルス信号を発生する段階と、該パルス信号により、前記外部クロックから生成される内部クロック信号に同期する前記レイテンシ計算回路と前記タイミング発生回路を介して、前記センスアンプ活性化信号と、前記ラッチ取込信号とを生成する段階と、前記センスアンプ活性化信号により、前記複数のセンスアンプを活性化して、前記複数のセルのデータをそれぞれ読み込み、出力する段階と、

前記ラッチ取込信号により、前記複数のラッチを活性化して、前記複数のセンスアンプから出力されるデータをそれぞれラッチする段階と、

レイテンシ期間内にラッチされたデータを、バースト出力を決めるセレクト信号のどの信号が選択されているかによって前記出力バッファに入力する段階と、

前記内部クロック信号に同期して、前記ラッチから入力されたデータを、前記出力バッファから出力する段階とを有する請求項3に記載の半導体記憶装置の内部回路を活性化する信号のタイミング発生方法。

【請求項5】 前記レイテンシ計算回路の動作方法は、

前記READコマンドを入力すると、パルス信号を発生する段階と、

前記レイテンシを所定の数に設定すると、前記レイテンシを決定する複数の信号を入力する段階と、

前記外部クロックから生成される前記内部クロック信号によって、1サイクル毎にレジスタにデータを格納する段階と、

前記タイミング発生回路へ、前記内部クロック信号に同期して複数の信号を出力する段階とを有する請求項4に記載の半導体記憶装置の内部回路を活性化する信号のタイミング発生方法。

【請求項6】 前記タイミング発生回路を介して、前記センスアンプ活性化信号と、前記ラッチ取込信号とを生成する段階は、

前記READコマンドを入力すると、パルス信号を発生する段階と、

該パルス信号により、前記センスアンプ活性化信号を‘L’レベルにセットする段階と、

前記レイテンシ計算回路からの第1のパルス信号により、前記ラッチ取込信号を‘H’レベルにセットする段階と、

前記第1のパルス信号の1サイクル後に前記レイテンシ計算回路から出力される第2のパルス信号により、前記センスアンプ活性化信号を‘H’レベルにリセットし、前記ラッチ取込信号を‘L’レベルにリセットし、前記センスアンプ活性化信号と前記ラッチ取込信号を、前記外部クロックから生成される前記内部クロック信号に同期したパルスとする段階とを有する請求項4に記載の半導体記憶装置の内部回路を活性化する信号のタイミング発生方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置及びその内部回路を活性化する信号のタイミング発生方法に関する。

【0002】

【従来の技術】従来、センスアンプ活性化信号やラッチ取込信号のタイミングを発生させる場合、READコマンド入力信号から、内部のディレイ回路のみを用いてタイミングを発生させていた。従って、内部ディレイ回路の電源、温度依存や、トランジスタのしきい値電圧依存を考慮してタイミングを適正化しなければならず、その適正化が設計を難しくしていた。

【0003】また、タイミングを設定しても、電源、温度、トランジスタしきい値が変わるとタイミングの時間的位置が大きく変動していたので、設定値からの変動が動作マージンを減らしていた。

【0004】特に、同期式マスクROMの場合は、出力するデータを、決められたサイクル期間内にラッチする必要があり、そのサイクル期間にラッチが完了するよう

タイミングを設計する時は、温度や電圧、拡散パラメータによるタイミングの遅延を考慮して設計していたので、設計が複雑であった。

【0005】上記を図を用いて回路的に説明する。従来例のブロック図を図12に示す。

【0006】図12は、タイミング発生回路22、セルA31～D34、センスアンプA41～D44、ラッチA51～D54、出力バッファ23からなっており、タイミング発生回路22には、READコマンド入力時に発生するパルス信号READが入力されて、センスアンプ活性化信号SAEB、ラッチ取込信号SALTが outputされる。

【0007】センスアンプ活性化信号SAEBはセンスアンプA41～D44に、ラッチ取込信号SALTはラッチA51～D54に入力される。また、ラッチA51～D54の出力は出力バッファ23に入力されるが、セレクト信号BURST0～3により選択導通する仕組みになっている。出力バッファ23に入力されたデータは、外部クロックと同期している内部クロック信号ICLKと同期して出力される。

【0008】図13のタイミング図は、図12の従来例のブロック図を説明するタイミング図である。図14に従来例のタイミング発生回路22を、図15にタイミング発生回路22のタイミング図を示す。

【0009】従来例の動作を説明する。図12は従来例のブロック図であり、図13は、そのタイミング図である。図12の動作を説明する。

【0010】外部クロックCLKに対して、READコマンドを入力すると、パルス信号RECMDとREADが発生する。これらのパルス信号は、内部クロック信号ICLKに同期せず、ディレイ回路24、25を用いたタイミング発生回路22を介して、センスアンプ活性化信号SAEBと、ラッチ取込信号SALTを生成する。つまり、SAEBとSALTのタイミングは、外部クロック信号CLKのタイミングに依存せずにパルス幅が決定する。(図13の①、②) センスアンプ活性化信号SAEBはセンスアンプA41～D44を活性化して、セルA31～D34のデータをそれぞれ読み込み、出力する。ラッチ取込信号SALTはラッチA51～D54を活性化し、センスアンプA41～D44から出力されるデータをそれぞれラッチする。ここまで、図13のレイテンシ(待ち時間)期間に行われる動作である。

【0011】レイテンシ期間内にラッチされたデータは、バースト出力を決める信号BURST0～3のどの信号が選択されているかによって出力バッファに入力される。図13は、BURST0、1、2、の順に選択された場合を示している。従って、レイテンシ期間後にまずBURST0が選択されて、ラッチA51のデータが出力バッファに入力される。そして内部クロック信号ICLKに同期してOA0と出力される。これがバースト期間であり、BURST0の次はBURST1が選択される為、次のサイクルではラッチB52のデータが出力されて、OA1と出力される。レイテンシ期間内に、あらかじめセルのデータのラッチを完了し、バースト期間に、ラッチしたデータをサイクル毎に出力する方式である。従って、レイテンシ期間内に、データのラッチを完了させておく必要がある。

【0012】これを実現する為の従来例の回路動作について説明する。

【0013】図14は従来例のタイミング発生回路22である。この回路の動作を、図15のタイミング図を用いて説明する。READコマンドが入力されると、図14のREAD端子に、パルスが入力される。このパルス信号READにより、センスアンプ活性化信号SAEBが' L' レベルにセットされる。そして、ディレイA24とディレイB25の遅延(図15のA、B)によりSAEBとSALTから図15に示されるパルスが生成される。

【0014】その結果、図15のタイミング図のように、センスアンプ活性化信号SAEBとラッチ取込信号SALTは、外部クロックから生成される内部クロック信号ICLKに同期しない、ディレイA24とディレイB25で決まるパルスとなる。ディレイA24とディレイB25は、トランジスタや配線容量を利用して作られるが、電圧、温度、拡散パラメータによる変動があるので、レイテンシ期間内にデータラッチを完了させるタイミングに用いる時は、設定が困難であった。

【0015】

【発明が解決しようとする課題】上述の従来技術においては、センスアンプ活性化信号やラッチ取込信号のタイミングを発生させる場合、READコマンド入力信号から、内部のディレイ回路のみを用いてタイミングを発生させているため、内部ディレイ回路の電源、温度依存や、トランジスタのしきい値電圧依存を考慮してタイミングを適正化しなければならず、その適正化が設計を難しくしていた。

【0016】また、タイミングを設定しても、電源、温度、トランジスタしきい値が変わるとタイミングの時間的位置が大きく変動していたので、設定値からの変動が動作マージンを減らしていた。

【0017】特に、同期式マスクROMの場合は、出力するデータを、決められたサイクル期間内にラッチする必要があり、そのサイクル期間にラッチが完了するようタイミングを設計する時は、温度や電圧、拡散パラメータによるタイミングの遅延を考慮して設計していたので、設計が複雑であった。

【0018】本発明の目的は、電源、温度依存や、トランジスタのしきい値電圧依存に係なくタイミングを適正化できる半導体記憶装置及びその内部回路を活性化す

る信号のタイミング発生方法を提供することにある。

【0019】

【課題を解決するための手段】本発明の半導体記憶装置は、同期式マスクROMのセンスアンプ活性化信号やラッチ取込信号を、コマンド入力信号を起点として、設定されたレイテンシのクロック数に応じたサイクル後のクロック信号の立ち上がり、または立ち下がりに同期させてパルス幅を決定し、タイミングを発生させる手段を有する。

【0020】また、コマンド入力信号は、READコマンド入力時の外部クロックであってもよい。

【0021】また、レイテンシ計算回路とタイミング発生回路と複数のセルと複数のセンスアンプと複数のラッチと出力バッファとから構成され、レイテンシ計算回路は、レイテンシを決定する複数の信号と、外部クロックから生成される内部クロック信号と、READコマンド入力時に発生する信号とが入力され、タイミング発生回路に複数の信号を出力する手段を有し、タイミング発生回路は、READコマンド入力時に発生するパルス信号と、リセット信号とが入力され、複数のセンスアンプにセンスアンプ活性化信号を出力し、複数のラッチにラッチ取込信号を出力する手段を有し、複数のラッチは、ラッチの出力をセレクト信号により選択導通することにより出力バッファに入力する手段を有し、出力バッファは、ラッチから入力されたデータを、外部クロックと同期している内部クロック信号と同期して出力する手段を有してもよい。

【0022】本発明の半導体記憶装置の内部回路を活性化する信号のタイミング発生方法は、外部クロックに対して、READコマンドを入力すると、パルス信号を発生する段階と、パルス信号により、外部クロックから生成される内部クロック信号に同期するレイテンシ計算回路とタイミング発生回路を介して、センスアンプ活性化信号と、ラッチ取込信号とを生成する段階と、センスアンプ活性化信号により、複数のセンスアンプを活性化して、複数のセルのデータをそれぞれ読み込み、出力する段階と、ラッチ取込信号により、複数のラッチを活性化して、複数のセンスアンプから出力されるデータをそれぞれラッチする段階と、レイテンシ期間内にラッチされたデータを、バースト出力を決めるセレクト信号のどの信号が選択されているかによって出力バッファに入力する段階と、内部クロック信号に同期して、ラッチから入力されたデータを、出力バッファから出力する段階とを有する。

【0023】また、レイテンシ計算回路の動作方法は、READコマンドを入力すると、パルス信号を発生する段階と、レイテンシを所定の数に設定すると、レイテンシを決定する複数の信号を入力する段階と、外部クロックから生成される内部クロック信号によって、1サイクル毎にレジスタにデータを格納する段階と、タイミング

発生回路へ、内部クロック信号に同期して複数の信号を出力する段階とを有してもよい。

【0024】また、タイミング発生回路を介して、センスアンプ活性化信号と、ラッチ取込信号とを生成する段階は、READコマンドを入力すると、パルス信号を発生する段階と、パルス信号により、センスアンプ活性化信号を‘L’レベルにセットする段階と、レイテンシ計算回路からの第1のパルス信号により、ラッチ取込信号を‘H’レベルにセットする段階と、第1のパルス信号の1サイクル後にレイテンシ計算回路から出力される第2のパルス信号により、センスアンプ活性化信号を‘H’レベルにリセットし、ラッチ取込信号を‘L’レベルにリセットし、センスアンプ活性化信号とラッチ取込信号を、前記外部クロックから生成される内部クロック信号に同期したパルスとする段階とを有してもよい。

【0025】従って、同期式マスクROMのセンスアンプ活性化信号やラッチの取り込み信号を、READコマンド(CASアドレス)入力時の外部クロックを起点として、設定されたレイテンシのクロック数に応じたサイクル後のクロック信号の立ち上がり、或いは立ち下がりに同期させてパルス幅を決定しているので、電源、温度依存や、トランジスタのしきい値電圧依存に關係なくタイミングを適正化できる。

【0026】また、この方法でタイミング設定すると、電源、温度、トランジスタしきい値が変化してもタイミングの時間的位置がほとんど変動しないので、動作マージンを増加させることができる。

【0027】

【発明の実施の形態】(本発明の第1の実施の形態)本発明の第1の実施の形態について図を用いて説明する。

【0028】本発明の第1の実施の形態のブロック図を図1に示す。

【0029】本発明の第1の実施の形態は、レイテンシ計算回路1とタイミング発生回路2、セルA31～D34、センスアンプA41～D44、ラッチA51～D54、出力バッファ3、からなっており、レイテンシ計算回路1にはレイテンシを決定する信号CL3とCL4、外部クロックから生成される内部クロック信号ICLK、READコマンド入力時に発生する信号RECMDが入力されており、タイミング発生回路2に信号LATE0、LATE1が出力される。タイミング発生回路2には、READコマンド入力時に発生するパルス信号READと、リセット信号RESETが入力されて、センスアンプ活性化信号SAEB、ラッチ取込信号SALTが出力される。

【0030】センスアンプ活性化信号SAEBはセンスアンプA41～D44に、ラッチ取込信号SALTはラッチA51～D54に入力される。また、ラッチA51～D54の出力は出力バッファに入力されるが、セレクト信号BURST0～3により選択導通する仕組みにな

っている。出力バッファ3に入力されたデータは、外部クロックと同期している内部クロック信号ICLKと同期して出力される。

【0031】図2の本発明の第1の実施の形態のタイミング図は、図1の本発明の第1の実施の形態のブロック図を説明するタイミング図である。図3に本発明の第1の実施の形態のレイテンシ計算回路1を、図4に第1の実施の形態のレイテンシ計算回路1内のレジスタ回路を、図5に第1の実施の形態のレイテンシ計算回路1のタイミング図を示す。

【0032】図6に本発明の第1の実施の形態のタイミング発生回路2を、図7に第1の実施の形態のタイミング発生回路2のタイミング図を示す。

【0033】次に、本発明の第1の実施の形態の動作を説明する。

【0034】図1は本発明の第1の実施の形態のブロック図であり、図2は、そのタイミング図である。図1の動作を説明する。

【0035】外部クロックCLKに対して、READコマンドを入力すると、パルス信号RECMDとREADが発生する。これらのパルス信号は、外部クロックから生成される内部クロック信号ICLKに同期するレイテンシ計算回路1とタイミング発生回路2を介して、センスアンプ活性化信号SAEBと、ラッチ取込信号SALTを生成する。つまり、SAEBとSALTのタイミングが、複数サイクル後の外部クロックから生成される内部クロック信号ICLKに同期して発生する。(図2の①、②) センスアンプ活性化信号SAEBはセンスアンプA41～D44を活性化して、セルA31～D34のデータをそれぞれ読み込み、出力する。ラッチ取込信号SALTはラッチA51～D54を活性し、センスアンプA41～D44から出力されるデータをそれぞれラッチする。ここまででは、図2のレイテンシ期間に行われる動作である。

【0036】レイテンシ期間内にラッチされたデータは、バースト出力を決める信号BURST0～3のどの信号が選択されているかによって出力バッファに入力される。図2は、BURST0、1、2、3の順に選択された場合を示している。従って、レイテンシ期間後にまずBURST0が選択されて、ラッチA51のデータが出力バッファに入力される。そして内部クロック信号ICLKに同期してOA0と出力される。これがバースト期間であり、BURST0の次はBURST1が選択されるが、次のサイクルではラッチA51のデータが出力されて、OA1と出力される。

【0037】つまり、レイテンシ期間内に、あらかじめセルのデータのラッチを完了し、バースト期間に、ラッチしたデータをサイクル毎に出力する方式である。従って、レイテンシ期間内に、データのラッチを完了させておく必要がある。

【0038】これを実現する為の回路動作について説明する。

【0039】まず、図1のブロック図のレイテンシ計算回路1の動作について説明する。レイテンシ計算回路1は、図3の回路で示され、図5に動作点のタイミングを示す。READコマンドが入力されると、RECMDとICLKに1サイクル分の信号が発生する。レイテンシが4に設定されているとすると、CL4=H、CL3=Lが入力される。外部クロックから生成される内部クロック信号

ICLKによって、1サイクル毎に3つのレジスタにデータが格納されることになる。レジスタの回路は図4で示され、内部クロック信号ICLKに同期してデータを入出力する仕組みになっている。レイテンシ計算回路1から出力される、LATE0、LATE1のデータは、図5に示されるタイミング図のよう、クロックと同期したパルスとなる。

【0040】レイテンシ計算回路1から出力される信号LATE0、LATE1がタイミング発生回路2に入力される。タイミング発生回路2は図6で示される回路である。この回路の動作を、図7のタイミング図を用いて説明する。READコマンドが入力されると、図6のREAD端子に、パルスが入力される。このパルス信号READにより、センスアンプ活性化信号SAEBが'L'レベルにセットされる。また、レイテンシ計算回路1からのLATE0のパルス信号により、ラッチ取込信号SALTが'H'レベルにセットされる。そして、LATE0の1サイクル後にレイテンシ計算回路1から出力されるLATE1のパルスにより、センスアンプ活性化信号SAEBは'H'レベルにリセットされ、ラッチ取込信号SALTは'L'レベルにリセットされる。

【0041】その結果、図7のタイミング図のよう、センスアンプ活性化信号SAEBとラッチ取込信号SALTは、外部クロックから生成される内部クロック信号ICLKに同期したパルスとなる。

【0042】(本発明の第2の実施の形態) 本発明の第2の実施の形態のブロック図を図8に示す。

【0043】本発明の第2の実施の形態は、レイテンシ計算回路11とタイミング発生回路12、セルA31～H38、センスアンプA41～H48、ラッチA51～H58、出力バッファ13、からなっており、レイテンシ計算回路11にはレイテンシを決定する信号CL3とCL4とCL5、外部クロックから生成される内部クロック信号ICLK、READコマンド入力時に発生する信号RECMDが入力されており、タイミング発生回路12に信号LATE0、LATE1が出力される。タイミング発生回路12には、READコマンド入力時に発生するパルス信号READと、リセット信号RESETが入力されて、センスアンプ活性化信号SAEB、ラッチ取込信号SALTが出力される。

【0044】センスアンプ活性化信号SAEBはセンス

アンプA41～H48に、ラッチ取込信号SALTはラッチA51～H58に入力される。また、ラッチA51～H58の出力は出力バッファ13に入力されるが、セレクト信号BURST0～7により選択導通する仕組みになっている。出力バッファ13に入力されたデータは、外部クロックと同期している内部クロック信号ICLKと同期して出力される。

【0045】図9のタイミング図は、図8の第2の実施の形態のブロック図を説明するタイミング図である。図10に第2の実施の形態のレイテンシ計算回路11を、図11に第2の実施の形態のレイテンシ計算回路11のタイミング図を示す。

【0046】本発明の第2の実施の形態の動作を説明する。

【0047】図8は第2の実施の形態のブロック図であり、図9は、そのタイミング図である。図8の動作を説明する。

【0048】外部クロックCLKに対して、READコマンドを入力すると、パルス信号RECMDとREADが発生する。これらのパルス信号は、外部クロックから生成される内部クロック信号ICLKに同期するレイテンシ回路とタイミング発生回路を介して、センスアンプ活性化信号SAEBと、ラッチ取込信号SALTを生成する。つまり、SAEBとSALTのタイミングが、複数サイクル後の外部クロックから生成される内部クロック信号ICLKに同期して発生する。(図9の①、②) センスアンプ活性化信号SAEBはセンスアンプA41～H48を活性化して、セルA31～H38のデータをそれぞれ読み込み、出力する。ラッチ取込信号SALTはラッチA51～H58を活性化し、センスアンプA41～H48から出力されるデータをそれぞれラッチする。ここまで、図9のレイテンシ期間に行われる動作である。

【0049】レイテンシ期間内にラッチされたデータは、バースト出力を決める信号BURST0～7のどの信号が選択されているかによって出力バッファに入力される。図9は、BURST0、1、2、の順に選択された場合を示している。従って、レイテンシ期間後にまずBURST0が選択されて、ラッチA51のデータが出力バッファに入力される。そして内部クロック信号ICLKに同期してOA0と出力される。これがバースト期間であり、BURST0の次はBURST1が選択されるが、次のサイクルではラッチA51のデータが出力されて、OA1と出力される。

【0050】上記の第1の実施の形態と同様に、レイテンシ期間内に、あらかじめセルのデータのラッチを完了し、バースト期間に、ラッチしたデータをサイクル毎に出力する方式である。従って、レイテンシ期間内に、データのラッチを完了させておく必要がある。

【0051】これを実現する為の回路動作について説明

する。

【0052】まず、図8のブロック図のレイテンシ計算回路11の動作について説明する。レイテンシ計算回路11は、図10の回路で示され、図11に動作点のタイミングを示す。READコマンドが入力されると、RECMDに1サイクル分の信号が発生する。レイテンシが5に設定されているとすると、CL5=H、CL4=L、CL3=Lが入力される。外部クロックから生成される内部クロック信号ICLKによって、1サイクル毎に4つのレジスタにデータが格納されることになる。レジスタの回路は図4で示され、内部クロック信号ICLKに同期してデータを入出力する仕組みになっている。レイテンシ計算回路11から出力される、LATE0、LATE1のデータは、図11に示されるタイミング図のように、クロックと同期したパルスとなる。レイテンシが5の為、上記の第1の実施の形態よりLATE0、LATE1のパルスが1サイクル後ろになっている。

【0053】レイテンシ計算回路11から出力される信号LATE0、LATE1がタイミング発生回路12に20入力される。タイミング発生回路12は図6で示される回路である。この回路の動作は、上記の第1の実施の形態と同様である。

【0054】その結果、図9のタイミング図のように、センスアンプ活性化信号SAEBとラッチ取込信号SALTは、外部クロックから生成される内部クロック信号ICLKに同期したパルスとなる。

【0055】

【発明の効果】以上説明したように、本発明には以下の効果がある。

30 【0056】同期式マスクROMのセンスアンプ活性化信号やラッチの取り込み信号を、READコマンド(CASアドレス)入力時の外部クロックを起点として、設定されたレイテンシのクロック数に応じたサイクル後のクロック信号の立ち上がり、或いは立ち下がりに同期させてパルス幅を決定しているので、電源、温度依存や、トランジスタのしきい値電圧依存に関係なくタイミングを適正化できるという効果がある。

【0057】また、この方法でタイミング設定すると、電源、温度、トランジスタしきい値が変化してもタイミングの時間的位置がほとんど変動しないので、動作マージンを増加させる効果がある。

【図面の簡単な説明】

【図1】本明の第1の実施の形態のブロック図である。

【図2】本発明の第1の実施の形態のタイミング図である。

【図3】本発明の本発明の第1の実施の形態のレイテンシ計算回路を示す図である。

【図4】本発明の第1の実施の形態のレイテンシ計算回路内のレジスタ回路を示す図である。

50 【図5】本発明の第1の実施の形態のレイテンシ計算回

路のタイミング図である。

【図6】本発明の第1の実施の形態のタイミング発生回路を示す図である。

【図7】本発明の第1の実施の形態のタイミング発生回路のタイミング図である。

【図8】本発明の第2の実施の形態のブロック図である。

【図9】本発明の第2の実施の形態のタイミング図である。

【図10】本発明の第2の実施の形態のレイテンシ計算回路を示す図である。

【図11】本発明の第2の実施の形態のレイテンシ計算回路のタイミング図である。

【図12】従来例のブロック図である。

【図13】図12の従来例のブロック図を説明するタイミング図である。

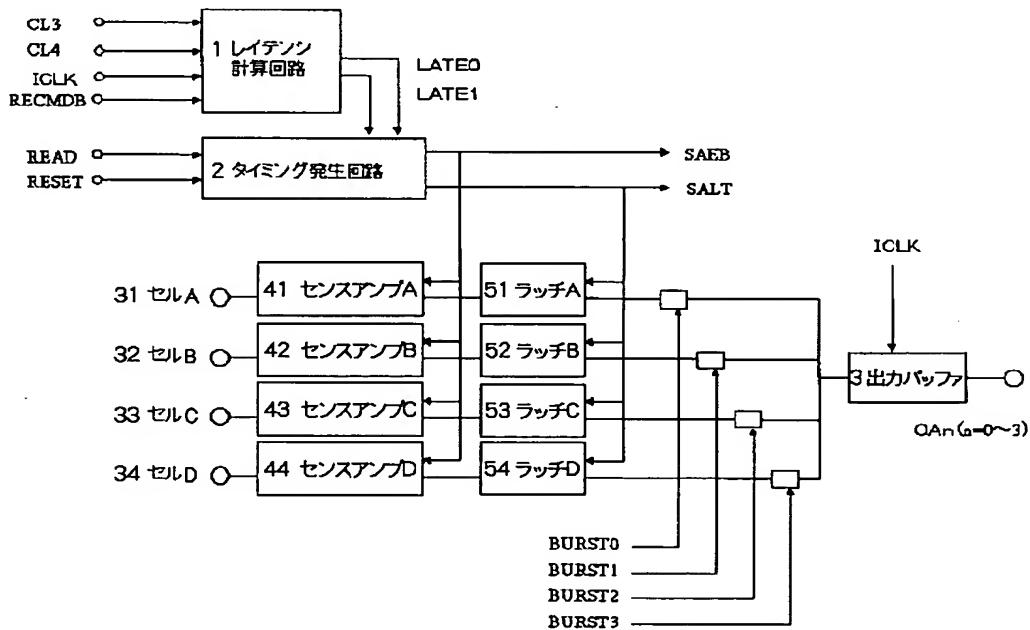
【図14】従来例のタイミング発生回路示す図である。

【図15】従来例のタイミング発生回路のタイミング図である。

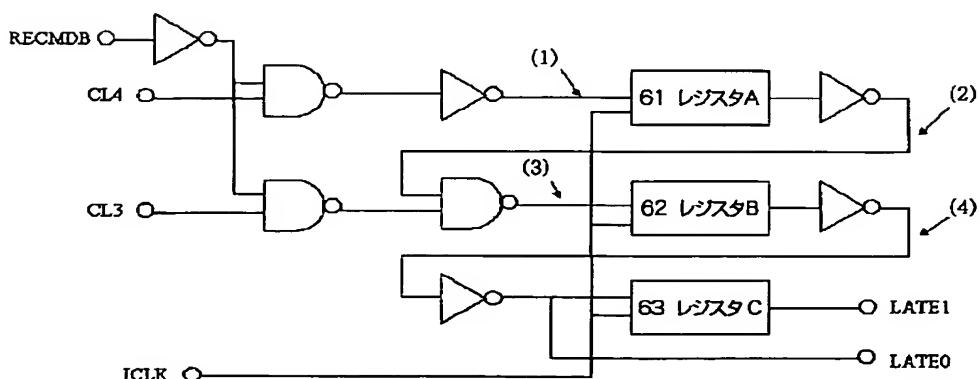
【符号の説明】

| | |
|----------|------------|
| 1、11 | レイテンシ計算回路 |
| 2、12、22 | タイミング発生回路 |
| 3、13、23 | 出力バッファ |
| 10 24~25 | ディレイ A~B |
| 31~38 | セル A~H |
| 41~48 | センスアンプ A~H |
| 51~58 | ラッチ A~H |
| 61~64 | レジスタ A~D |

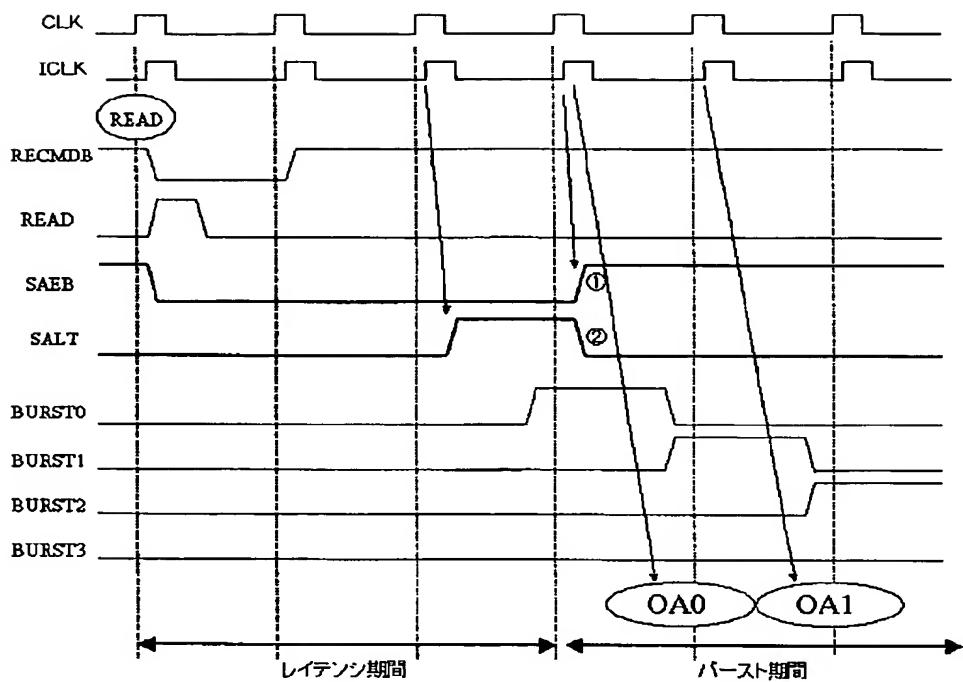
【図1】



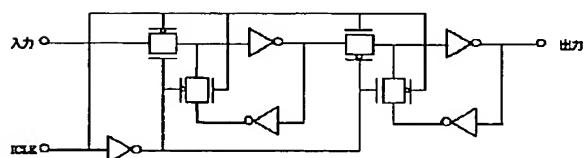
【図3】



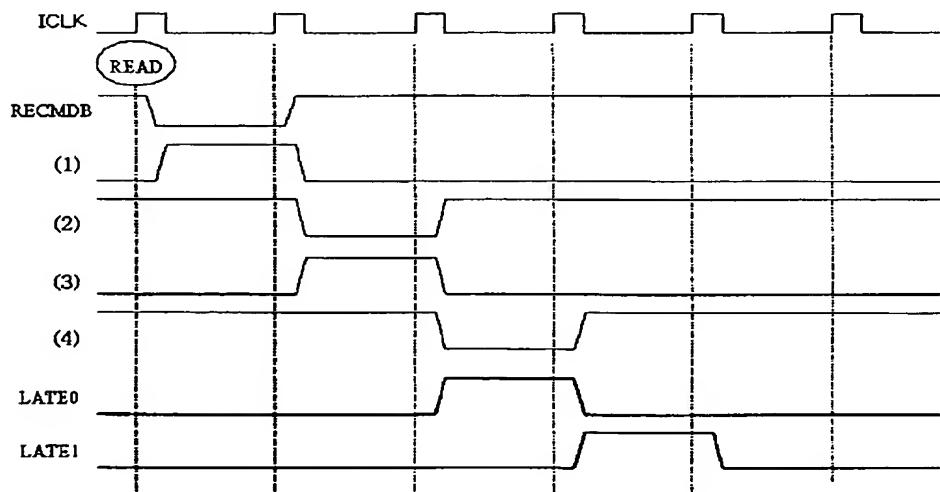
【図2】



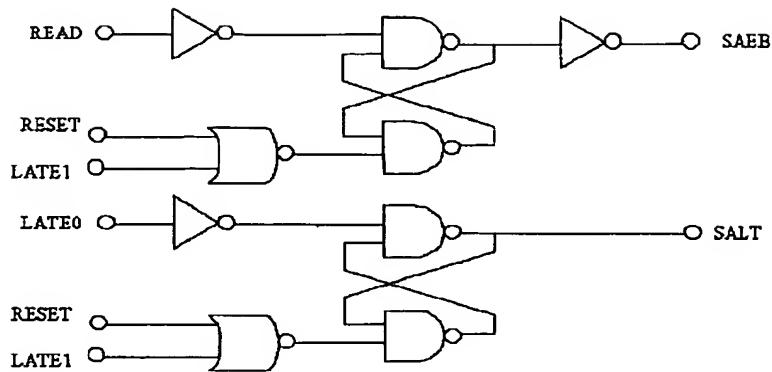
【図4】



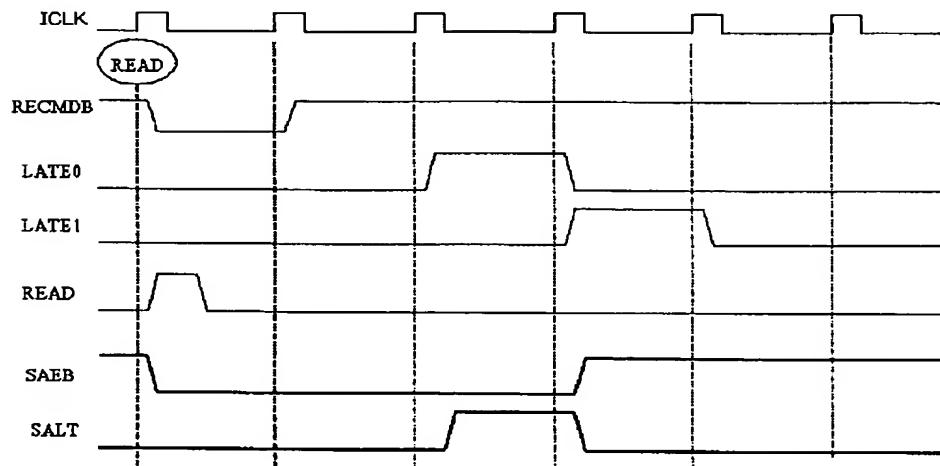
【図5】



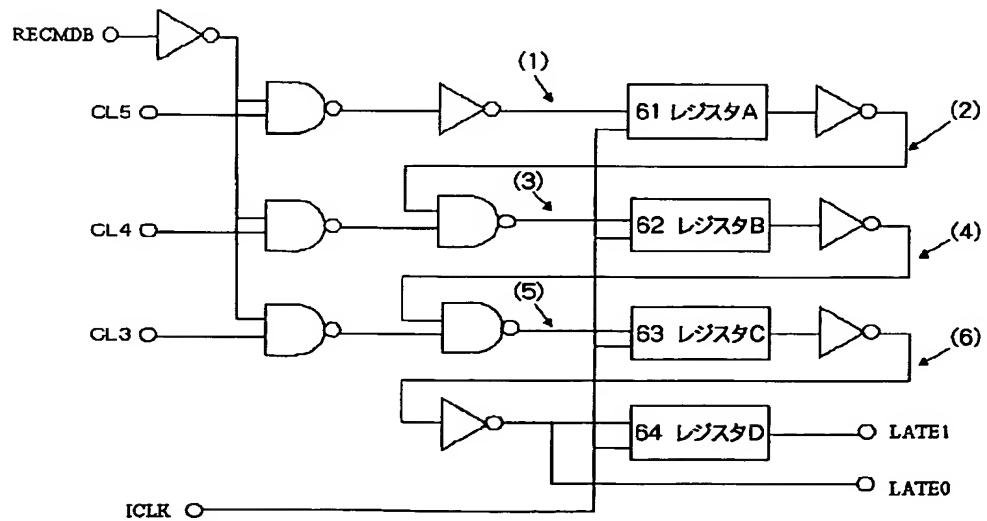
【図6】



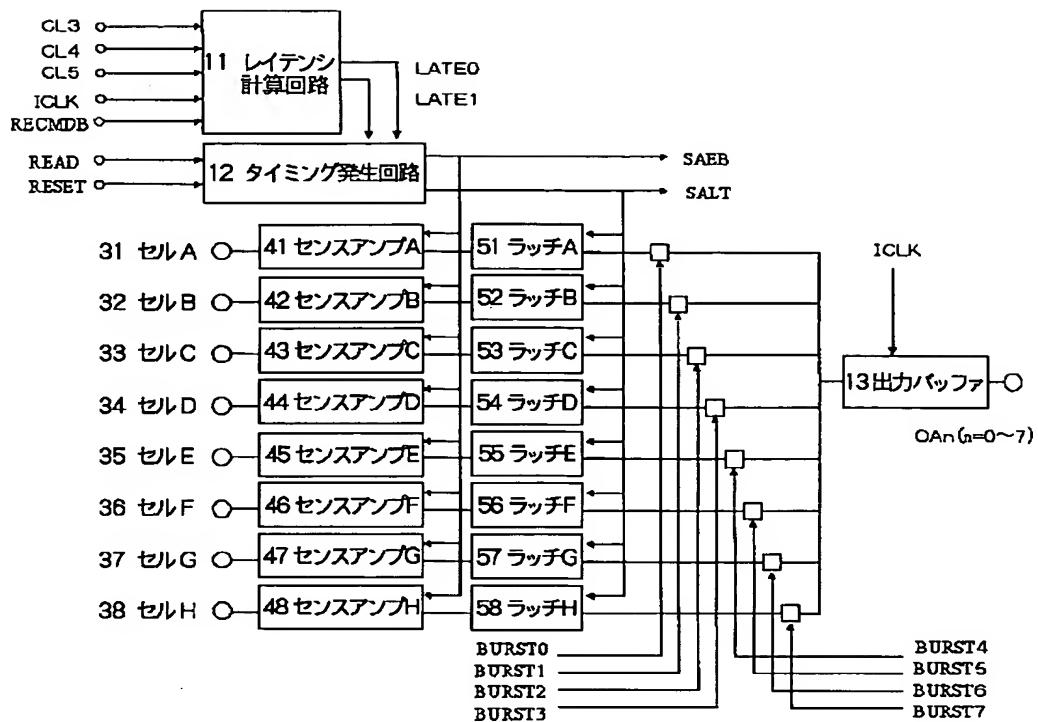
【図7】



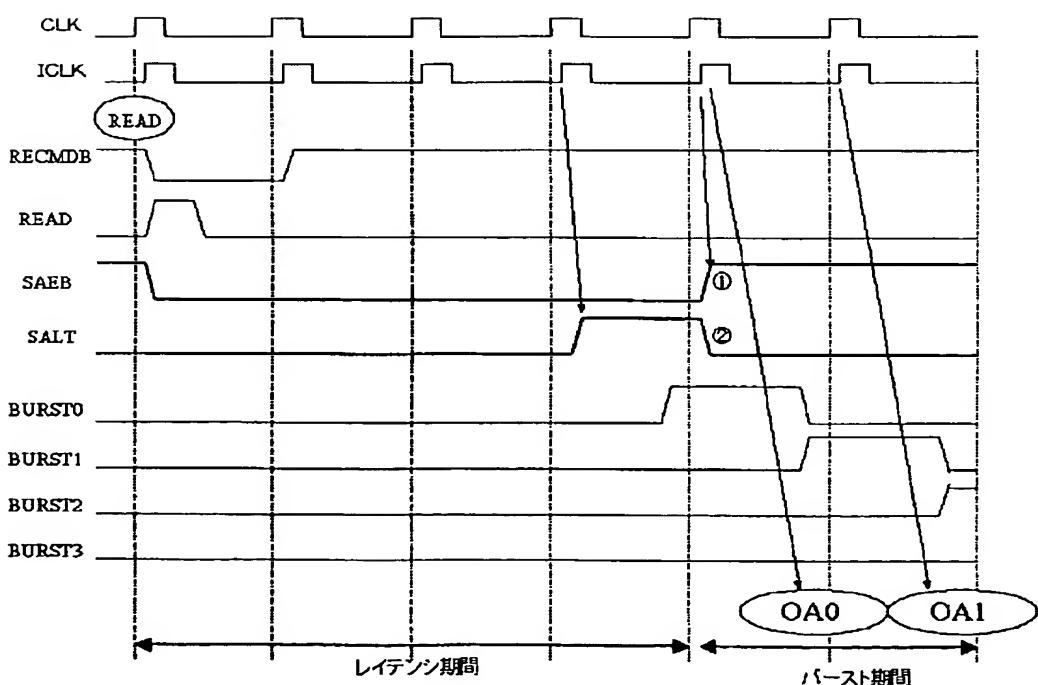
【図10】



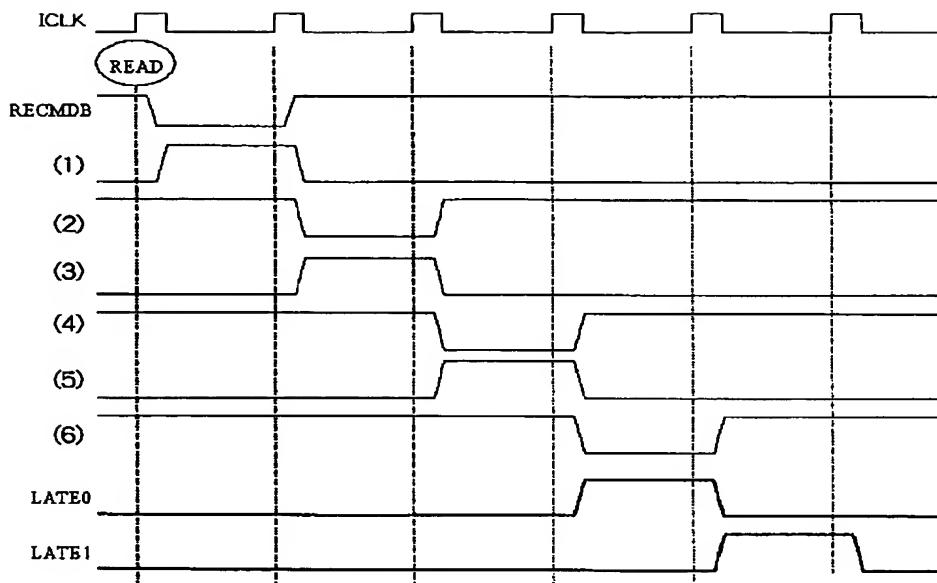
【図8】



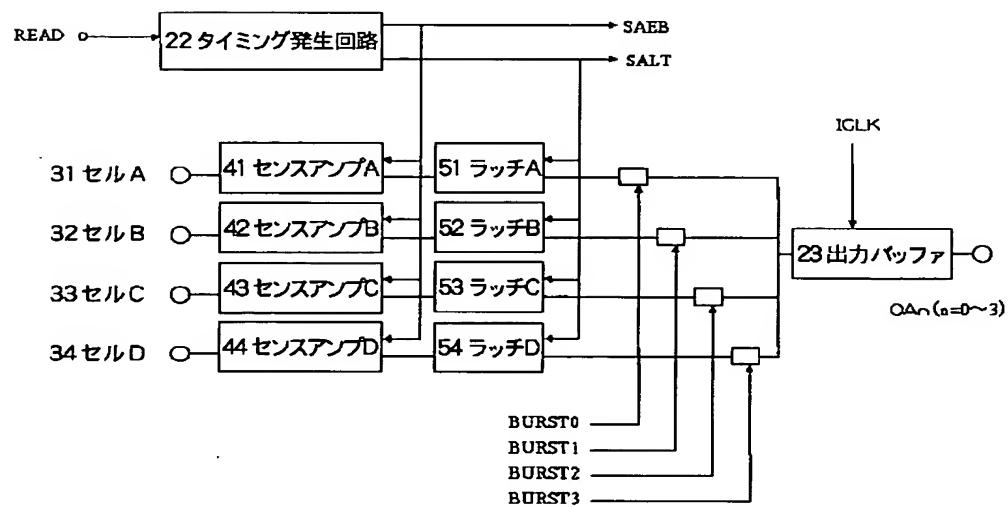
【図9】



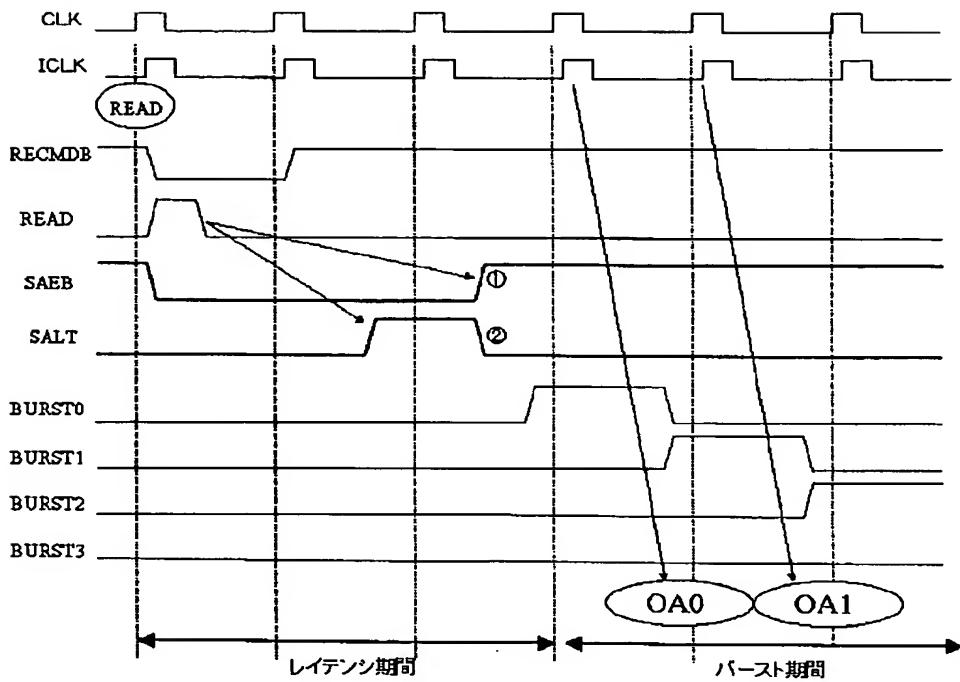
【図11】



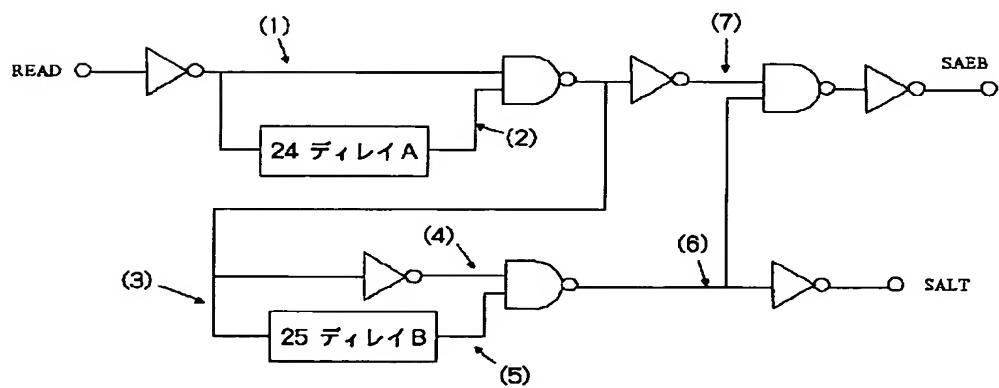
【図12】



【図13】



【図14】



【図15】

